

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

Patent Number: JP2001267570
Publication date: 2001-09-28
Inventor(s): SUGIMOTO HIROSHI; IMAIZUMI MASAYUKI; TARUI YOICHIRO; OTSUKA KENICHI
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: JP2001267570
Application Number: JP20000072298 20000315
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the electric field strength of a gate oxide film at of high- voltage breaking and prevent dielectric breakdown, by using a structure in which the intensive portion of electric field distribution exists at a distant from the gate oxide film.

SOLUTION: This semiconductor device is provided with a drift region 2 on an SiC semiconductor substrate 1, base region 3 for forming a MOS channel, N contact region 4, P contact region 5, and trench part 6 formed by etching. By applying a voltage to a gate electrode 8, an inversion layer is formed in a channel part, and a current flows from a source electrode 10 to a drain electrode 11. Penetration of electric field into the gate oxide film 7 can be obstructed by an electric field shielding region 12 located below the trench part 6 and an electric field shielding region 13 below the base region 3, and a portion where electric field strength becomes maximum can be positioned below the electric field shielding region 13 and isolated from the gate oxide film 7.

Data supplied from the **esp@cenet** database - I2

Best Available Copy

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-267570

(P2001-267570A)

(43)公開日 平成13年9月28日(2001.9.28)

(51) Int.Cl.⁷

H O 1 L 29/78

識別記号

6 5 3

6 5 2

FI

H O 1 L 29/78

テーマト* (参考)

6 5 3 A

6 5 3 B

6 5 2 C

6 5 2 T

審査請求 未請求 請求項の数14 O L (全 13 頁)

(21)出願番号 特願2000-72298(P2000-72298)

(22)出願日 平成12年3月15日(2000.3.15)

(71)出題人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 杉本 博司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 發明者 今泉 昌之

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100057874

弁理士 曾我 道照 (外6名)

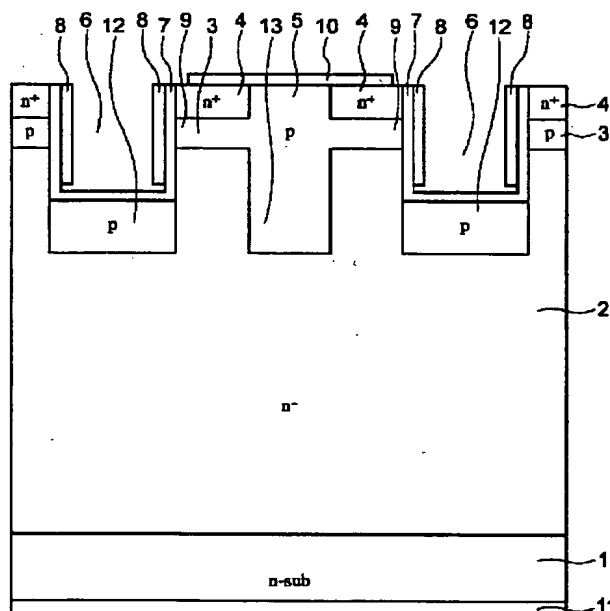
最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置製造方法

(57) 【要約】

【課題】 電界分布の強い箇所がゲート酸化膜から離れた所になる構造を備え、高電圧遮断時のゲート酸化膜の電界強度を低減させて絶縁破壊を防止する。

【解決手段】 SiC半導体基板1上のドリフト領域2と、MOSチャネルを形成するためのベース領域3と、nコンタクト領域4と、pコンタクト領域5と、エッチングにより形成したトレンチ部6とを備え、ゲート電極8に電圧を印加することにより、チャネル部9に反転層が形成されて、ソース電極10からドレイン電極11へ電流が流れる半導体装置において、トレンチ部6の下部の電界シールド領域12及びベース領域3の下部の電界シールド領域13によりゲート酸化膜7への電界の侵入を阻むことができるとともに、電界強度の最強となる箇所を電界シールド領域13の下部とすることができ、ゲート酸化膜7と分離することができる。



【特許請求の範囲】

【請求項1】 炭化珪素半導体からなる基板と、
上記基板上に設けられ、低不純物のn型の導電性を有するn型層と、
上記n型層上に設けられ、p型の導電性を有するp型ベース層と、
上記p型ベース層上に設けられ、高不純物のn型の導電性を有するn型コンタクト層と、
上記p型ベース層上の上記n型コンタクト層が設けられていない領域に設けられたp型コンタクト領域と、
上記n型コンタクト層及び上記p型ベース層を貫通して上記n型層にまで達する深さを有する溝と、
上記溝の底面及び側壁上に設けられたゲート酸化膜と、
上記ゲート酸化膜を介在させて上記溝の側壁上に設けられたゲート電極と、
上記n型コンタクト層及び上記p型コンタクト領域に接触して設けられたソース電極と、
上記基板の下面に設けられたドレイン電極と、
上記ゲート電極に電圧が印加されたときに反転して上記n型コンタクト層と上記n型層とを導通させるチャネル手段と、
上記溝の下側の上記n型層内に設けられ、高電圧遮断時の上記n型層からの上記ゲート酸化膜への電界の侵入を遮蔽する溝下部電界シールド手段とを備えたことを特徴とする半導体装置。

【請求項2】 上記溝下部電界シールド手段が、p型の導電性を有するp型領域から構成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記p型コンタクト領域の範囲において、上記p型ベース層の下面から略々垂直方向に向かって上記溝の底面の深さより深い位置に至るまで延びて設けられ、上記p型ベース層の下方からの上記ゲート酸化膜への電界の侵入を遮蔽するベース層下部電界シールド手段をさらに備えたことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 上記ベース層下部電界シールド手段が、p型の導電性を有するp型領域から構成されていることを特徴とする請求項3に記載の半導体装置。

【請求項5】 上記溝下部電界シールド手段と上記ベース層下部電界シールド手段とを電気的に結合する電界シールド結合手段をさらに備えたことを特徴とする請求項3または4に記載の半導体装置。

【請求項6】 上記p型ベース層と上記n型層との間に設けられ、上記n型層より高いn型の導電性を有する電流拡散層をさらに備えたことを特徴とする請求項1ないし5のいずれかに記載の半導体装置。

【請求項7】 上記溝下部電界シールド手段が、上記溝の幅より広い幅を有していることを特徴とする請求項1ないし6のいずれかに記載の半導体装置。

【請求項8】 上記チャネル手段が、上記溝の上記側壁

から構成されていることを特徴とする請求項1ないし7のいずれかに記載の半導体装置。

【請求項9】 上記チャネル手段が、上記溝の上記側壁におけるSiC結晶の1、1、2バー、0面に設けられていることを特徴とする請求項1ないし7のいずれかに記載の半導体装置。

【請求項10】 炭化珪素半導体からなる基板上に、低不純物のn型の導電性を有するn型層を形成する工程と、
上記n型層上に、p型の導電性を有するp型ベース層を形成する工程と、
上記p型ベース層上に、高不純物のn型の導電性を有するn型コンタクト層を形成する工程と、
上記p型ベース層上にp型コンタクト領域を形成する工程と、
溝を形成する予定領域の上記n型層内に、高電圧遮断時の上記n型層からのゲート酸化膜への電界の侵入をシールドさせるための溝下部電界シールド手段を形成する工程と、
上記n型コンタクト層及び上記p型ベース層を貫通して上記n型層内の上記溝下部電界シールド手段に達する深さを有する溝を形成する工程と、
上記溝の底面及び側壁上にゲート酸化膜を形成する工程と、
上記ゲート酸化膜を介在させて上記溝の側壁上にゲート電極を形成する工程と、上記n型コンタクト層及び上記p型コンタクト領域に接触させてソース電極を形成する工程と、
上記基板の下面にドレイン電極を形成する工程と、
を備えたことを特徴とする半導体装置の製造方法。

【請求項11】 上記p型コンタクト領域の範囲において、上記p型ベース層の下面から、略々垂直方向に向かって、上記溝の底面の深さより深い位置にかけて、上記p型ベース層の下部からの上記ゲート酸化膜への電界の侵入をシールドさせるためのベース層下部電界シールド手段を形成する工程をさらに備えたことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】 上記溝下部電界シールド手段と上記ベース層下部電界シールド手段とを電気的に結合する電界シールド結合手段を形成する工程をさらに備えたことを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】 上記p型ベース層と上記n型層との間に、上記n型層より高いn型の導電性を有する電流拡散層を形成する工程をさらに備えたことを特徴とする請求項10ないし12のいずれかに記載の半導体装置の製造方法。

【請求項14】 上記溝下部電界シールド手段を形成する際に、上記溝の幅より広い幅を有するように形成することを特徴とする請求項10ないし13のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及び半導体装置の製造方法に関し、特に、トレンチゲート型のSiC（炭化珪素）半導体を用いたMOS電界効果パワートランジスタとして用いる半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】トレンチゲート型のSiC半導体を用いた従来のMOS電界効果パワートランジスタは、例えば、電子情報通信学会論文誌C-I I Vol. J81-C-I I, No. 1の135ページの図2に示されるような構造であり、トレンチ側壁に設けたMOS構造のゲート部分で電流を制御し、高電圧のスイッチングを行う。

【0003】図6は、従来のこのようなトレンチゲート型のSiC半導体を用いたMOS電界効果パワートランジスタ半導体装置の概念図である。図において、101はn型のSiC基板、102はエピ成長で形成した低不純物のn型の導電性を持つSiCのドリフト領域、103はエピ成長もしくはイオン注入により形成したp型導電性ベース領域、104はエピ成長もしくはイオン注入により形成したn型導電性のnコンタクト領域、105はエピ成長もしくはイオン注入により形成したp型導電性のpコンタクト領域、106はエッチングにより形成したトレンチ部、107はゲート酸化膜、108はゲート酸化膜107上に形成されたゲート電極、109はゲート電極108に印加した電圧で形成されるチャネル部、110はソース電極、111はドレイン電極を示している。

【0004】動作について説明する。ソース電極110とドレイン電極111間に高電圧を印加した状態で、ゲート電極108に電圧を印加することにより、p型導電性ベース領域103のチャネル部109にn型反転層が形成され、n型導電性コンタクト領域104とドリフト領域102間に電流が導通し、ドリフト領域102を経てドレイン電極111に電流が流れる。ゲート電極108に電圧が印加されないオフ状態では、チャネル部109にn型反転層が形成されないため、この時、ソース電極110とドレイン電極111間に印加された高電圧は、ドリフト領域102並びにpベース領域103に延びた空乏層で遮断される。

【0005】次に、製造方法について説明する。従来のトレンチゲート型のSiC半導体MOS電界効果パワートランジスタは、次のようにして作製する。SiC基板101上に、エピ成長により、ドリフト領域102のための低不純物n型層を成長させ、次に、p型導電性のベース領域103のためのp型層を成長させ、次に、nコンタクト領域104のため高不純物のn型層を順次成長させる。次に例えばマスクングを行ってエッチングを行

い、トレンチ部6を形成する。次に、別のマスクングを行い、pコンタクト領域105部に、選択的に、表面にpコンタクト用にイオン注入を行って、その後、注入された不純物を電気的に活性化し、アクセプタとして活性化させるため、例えば、Ar雰囲気中で、1500°Cで1時間程度のアニールを行って、pコンタクト領域105を形成する。次に、水蒸気分圧を含んだ、酸素雰囲気中でSiC表面の熱酸化を行い、ゲート酸化膜7を形成した後、ゲート電極8、ソース電極10、ドレイン電極11を形成する。

【0006】なお、ここでは、pコンタクト領域105をイオン注入により形成する例について説明したが、その場合に限らず、逆に例えば、pコンタクト領域105に相当する層をエピ成長で形成し、領域105以外の領域に窒素のイオン注入を行い、その後、注入された不純物を電気的に活性化し、ドナーとして活性化させるため、例えば、Ar雰囲気中で、1500°Cで1時間程度のアニールを行って、nコンタクト領域104を形成するようにしてもよい。

【0007】図7は、例えば、電子情報通信学会論文誌C-I I, Vol. J81-C-I I, No.1の135ページに示されるような構造であり、従来型のウェハー表面にMOSチャネルを持つ構造のSiC半導体を用いたMOS電界効果パワートランジスタ半導体装置の概念図である。201はn型のSiC基板、202はエピ成長で形成した低不純物のn型の導電性を持つSiCのドリフト領域、203はイオン注入により形成したp型導電性ベース領域、204はイオン注入により形成したn型導電性のnコンタクト領域、207はゲート酸化膜、208はゲート電極、209はゲート電極に印加した電圧で形成されるチャネル部、210はソース電極、211はドレイン電極を示している。図6と同様にゲート電極208に電圧を印加することにより、p型導電性ベース領域203の表面のチャネル部209にn型反転層が形成され、n型導電性コンタクト領域204とドリフト領域202間に電流が導通し、ドリフト領域202を経てドレイン電極211に電流が流れる。

【0008】

【発明が解決しようとする課題】SiCはSiに比較し絶縁破壊電界強度が10倍大きい。この特長を利用して、素子特性の向上を図る様に素子の構造を最適化すると、SiC中にはSiの絶縁破壊電界強度の十倍に近い電界が存在する。このため、上述したような図6の従来のトレンチゲート型のSiC半導体を用いたMOS電界効果パワートランジスタでは、絶縁破壊電界強度に近い電界が発生するSiC部分に接したゲート酸化膜においても、両者の誘電率比によって定まる電界が発生し、その強度は酸化膜の絶縁破壊電界強度を越えることから、酸化膜中で絶縁破壊が生じる。またトレンチゲート構造では、特にトレンチ下部の角部分で電界集中が起こ

り、酸化膜中の電界強度が大きくなり、上記理由と相まって、ゲート酸化膜に絶縁破壊が生じ易い。このような結果、従来のトレンチゲート型のSiC半導体を用いたMOS電界効果パワートランジスタでは、SiCの材料特性から期待される素子耐圧が得られないという問題点があった。

【0009】一方、図7に示した、従来の基板表面にMOSチャネルを持つ構造のMOSパワートランジスタでは、不純物を注入後、不純物を電氣的に活性化させる工程で、例えば、Ar雰囲気中で、1500°Cで1時間のアニールを行う必要がある。この時、表面のSiが選択的に離脱したり、表面で部分的に不均一に成長やエッチングが生じることにより、SiCの表面に荒れが生じたり、階段状のステップ構造が形成される問題があった。基板表面にMOSチャネルを持つ構造のMOSパワートランジスタでは、この荒れもしくはステップの生じた面が、MOSチャネルの界面となる構造のため、MOS界面の劣化により、十分なチャネル特性が得られない問題があった。

【0010】また、基板表面にMOSチャネルを持つ構造では、チャネル移動度が大きい112バー0面を、MOSチャネルの界面として用いるためには、入手が困難な112バー0面ウエハーを作製し、さらにそれに伴い従来基板面のプロセスとは異なった、エピ成長、注入、電極等の作製条件が必要であるという問題点があった。

【0011】本発明は、かかる問題点を解決するために成されたもので、SiC中の電界分布の強い箇所がゲート酸化膜から離れた所になるような構造を備え、ゲート酸化膜が破壊されない特長をもち、SiCの材料特性に対応した素子耐圧を持つ半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】この発明は、SiC半導体からなる基板と、基板上に設けられ、低不純物のn型の導電性を有するn型層と、n型層上に設けられ、p型の導電性を有するp型ベース層と、p型ベース層上に設けられ、高不純物のn型の導電性を有するn型コンタクト層と、p型ベース層上の上記n型コンタクト層が設けられていない領域に設けられたp型コンタクト領域と、n型コンタクト層及び上記p型ベース層を貫通してn型層にまで達する深さを有する溝と、溝の底面及び側壁上に設けられたゲート酸化膜と、ゲート酸化膜を介在させて上記溝の側壁上に設けられたゲート電極と、n型コンタクト層及び上記p型コンタクト領域に接触して設けられたソース電極と、基板の下面に設けられたドレイン電極と、ゲート電極に電圧が印加されたときに反転してn型コンタクト層とn型層とを導通させるチャネル手段と、溝の下側の上記n型層内に設けられ、高電圧遮断時のn型層からのゲート酸化膜への電界の侵入を遮蔽する溝下部電界シールド手段とを備えた半導体装置である。

【0013】また、溝下部電界シールド手段が、p型の導電性を有するp型領域から構成されている。

【0014】また、p型コンタクト領域の範囲において、p型ベース層の下面から略々垂直方向に向かって溝の底面の深さより深い位置に至るまで延びて設けられ、p型ベース層の下方からのゲート酸化膜への電界の侵入を遮蔽するベース層下部電界シールド手段をさらに備えている。

【0015】また、ベース層下部電界シールド手段が、p型の導電性を有するp型領域から構成されている。

【0016】また、溝下部電界シールド手段とベース層下部電界シールド手段とを電氣的に結合する電界シールド結合手段をさらに備えている。

【0017】また、p型ベース層とn型層との間に設けられ、n型層より高いn型の導電性を有する電流拡散層をさらに備えている。

【0018】また、溝下部電界シールド手段が、溝の幅より広い幅を有している。

【0019】また、チャネル手段が溝の側壁から構成されている。

【0020】また、チャネル手段が、溝の上記側壁におけるSiC結晶の1、1、2バー、0面に設けられている。

【0021】また、この発明は、SiC半導体からなる基板上に、低不純物のn型の導電性を有するn型層を形成する工程と、n型層上に、p型の導電性を有するp型ベース層を形成する工程と、p型ベース層上に、高不純物のn型の導電性を有するn型コンタクト層を形成する工程と、p型ベース層上にp型コンタクト領域を形成する工程と、溝を形成する予定領域のn型層内に、高電圧遮断時の上記n型層からのゲート酸化膜への電界の侵入をシールドさせるための溝下部電界シールド手段を形成する工程と、n型コンタクト層及びp型ベース層を貫通してn型層内の溝下部電界シールド手段に達する深さを有する溝を形成する工程と、溝の底面及び側壁上にゲート酸化膜を形成する工程と、ゲート酸化膜を介在させて溝の側壁上にゲート電極を形成する工程と、n型コンタクト層及びp型コンタクト領域に接触させてソース電極を形成する工程と、基板の下面にドレイン電極を形成する工程とを備えた半導体装置の製造方法である。

【0022】また、p型コンタクト領域の範囲において、p型ベース層の下面から、略々垂直方向に向かって、溝の底面の深さより深い位置にかけて、p型ベース層の下部からのゲート酸化膜への電界の侵入をシールドさせるためのベース層下部電界シールド手段を形成する工程をさらに備えている。

【0023】また、溝下部電界シールド手段とベース層下部電界シールド手段とを電氣的に結合する電界シールド結合手段を形成する工程をさらに備えている。

【0024】また、p型ベース層とn型層との間に、n

型層より高いn型の導電性を有する電流拡散層を形成する工程をさらに備えている。

【0025】また、溝下部電界シールド手段を形成する際に、溝の幅より広い幅を有するように形成する。

【0026】

【発明の実施の形態】実施の形態1. 図1は本発明の一実施の形態を示すもので、トレンチゲート型のSiC半導体MOS電界効果パワートランジスタ半導体装置の断面図である。1はn型のSiC基板、2は低不純物のn型の導電性を有するドリフト領域、3はドレイン電流制御用のMOSチャネルを形成するためのp型導電性のベース領域、4はn型導電性のnコンタクト領域、5はp型導電性のpコンタクト領域、6はエッチングにより形成したトレンチ部、7はトレンチ部6の底面および側壁に設けられたゲート酸化膜、8はゲート電極、9はゲート電極に印加した電圧で形成されるチャネル部、10はソース電極、11はドレイン電極、12はゲート酸化膜7部の電界強度を緩和するために、トレンチ部6の下部にエピ成長もしくはイオン注入により形成した、p型導電性のトレンチ下部電界シールド領域、13はp型のベース領域3下部にエピ成長もしくはイオン注入により形成した、p型導電性のベース領域下部電界シールド領域である。

【0027】動作について説明する。ゲート電極8に電圧を印加することにより、チャネル部9にn型反転層が形成され、n型導電性のnコンタクト領域4とドリフト領域2間に電流が導通し、ドリフト領域2を経てドレイン電極11に電流が流れる。ゲート電極8に電圧が印加されないオフ状態では、チャネル部9にn型反転層が形成されない。この時ソース電極10とドレイン電極11間に印加された高電圧は、ドリフト領域2、トレンチ下部電界シールド領域12、ベース領域下部電界シールド領域13に延びた空乏層で遮断される。ここで、本実施の形態においては、トレンチ部6の下部にトレンチ下部電界シールド12を備えているので、それによって電界侵入が阻まれ、ゲート酸化膜7部分、特に、電界集中が起こるトレンチ部6下部の角部分の電界強度が緩和され、ゲート酸化膜7の絶縁破壊が生じない。また、pベース領域3下にもベース領域下部電界シールド領域13が備えられているため、pベース領域下からの電界の侵入がシールドされるため、ゲート酸化膜7の電界強度が緩和される。このような構造により、逆高電圧遮断時の電界強度の最強箇所は、シールド領域13の下端になり、電界強度の強い部分とゲート酸化膜7に接する部分が接触せずに分離されることにより、酸化膜の絶縁破壊が生じない。

【0028】次に、製造方法について説明する。本実施の形態に示したトレンチゲート型のSiC半導体MOS電界効果パワートランジスタは例えば、次のように作製できる。SiC基板1上に、CVDエピ成長により、ド

リフト領域2のための低不純物n型層を成長させ、次に、p型導電性のベース領域3のためのp型層を成長させ、次に、nコンタクト領域4のため高不純物のn型層を順次成長させる。次に、マスキングを行い、pコンタクト領域5部に、選択的に、表面にpコンタクト用に高濃度のAlのイオン注入を行って、pコンタクト領域5を形成し、次に、例えば、同じマスクを用い、トレンチ部6の下部（底面）の深さより深い領域まで垂直方向に（すなわち、深さ方向に）Alのイオン注入を行い、ベース領域下部電界シールド領域13を形成する。また、次に例えば別のマスキングを行いトレンチ部6に選択的に、トレンチ部6下部（底面）の深さより深い領域にAl（アクセプタ）のイオン注入を行い、トレンチ下部電界シールド領域12を形成する。このとき、トレンチ下部電界シールド領域12の厚さが、ドリフト領域2からの酸化ゲート膜7への電界の侵入を妨げるに十分な所定の厚さになるようにする。次に例えば同じマスクを用い、エッチングを行いトレンチ部6を形成する。次に例えば、水蒸気分圧を含んだ、酸素雰囲気中でSiC表面の熱酸化を行い、ゲート酸化膜7を形成した後、ゲート電極8、ソース電極10、ドレイン電極11を形成する。

【0029】この例では、nコンタクト領域4のための高不純物のエピ成長したn型層にイオン注入により、pコンタクト領域5を形成する例を示したが、逆に、pコンタクト領域5のためのp層を成長により形成し、そこに窒素のイオン注入により、nコンタクト領域4を形成しても作製可能である。また、ここでは、pベース領域3のためのp型層を、エピ成長で形成する例を示したが、イオン注入によっても可能である。

【0030】以上のように、本実施の形態が示す半導体装置では、トレンチ部6の下部にトレンチ下部電界シールド領域12があるため、ゲート酸化膜7の電界強度が緩和される。また、pベース領域3下にもベース領域下部電界シールド領域13が備えられているため、pベース領域下からの電界の侵入がシールドされるため、ゲート酸化膜7の電界強度が緩和される。このような構造により、逆高電圧遮断時の電界強度の最強箇所は、pシールド領域の下端になり、電界強度の強い部分と、ゲート酸化膜7に接する部分が接触せずに分離されることにより、酸化膜の絶縁破壊が生じない。この結果、高電圧遮断時の、ゲート酸化膜7の電界強度を低減し、ゲート酸化膜7の絶縁破壊が防がれ、SiC材料の絶縁特性に対応した、素子耐圧を得ることができる。

【0031】また、本実施の形態が示す製造方法に於いては、トレンチ部6を形成する前の工程で、イオン注入と活性化アニールを行い、その後、トレンチ部6を形成し、その側壁をチャネルとして用いるので、チャネルが形成されるトレンチ部6の側壁に生じる注入の損傷、及び、アニールによる表面の荒れを低減することができ、高移動度で信頼性の高いチャネルを形成することが

できる効果があり、素子特性を向上できる。

【0032】実施の形態2. 図2は本発明の別の一実施の形態を示すもので、トレンチゲート型のSiC半導体MOS電界効果パワートランジスタ半導体装置の断面図である。1はn型のSiC基板、2はドリフト領域、3はベース領域、4はnコンタクト領域、5はpコンタクト領域、6はトレンチ部、7はゲート酸化膜、8はゲート電極、9はチャンネル部、10はソース電極、11はドレイン電極、12はトレンチ下部電界シールド領域、13はp型導電性のベース領域下部電界シールド領域、14はトレンチ下部電界シールド領域12とベース領域下部電界シールド領域13を電氣的に結合する、電界シールド結合領域をしめしている。ゲート電極8への電圧の印加による、高電圧の遮断、導通の切り替えの原理及び電界シールド領域による、酸化膜における電界緩和の原理は実施の形態1と同様である。

【0033】次に製造方法について説明する。本実施の形態に示したトレンチゲート型のSiC半導体MOS電界効果パワートランジスタは、例えば、次のように作製できる。SiC基板1上に、ドリフト領域2のための低不純物n型層を、pベース領域3のためのp型層を、nコンタクト領域4のため高不純物のn型層を順次成長する。次にマスクングを行いpコンタクト領域5部に選択的に、表面にコンタクト用に高濃度のAlのイオン注入を行い、次に例えば同じマスクを用い、トレンチ下部の深さより深い領域までAlのイオン注入を行い、ベース領域下部電界シールド領域13を形成する。また次に例えば別のマスクングを行いトレンチ部6と電界シールド結合領域14に選択的に、トレンチ下部の深さより深い領域にAlのイオン注入を行い、トレンチ下部電界シールド領域12と電界シールド結合領域14を形成する。次に例えば別のマスクを用い、エッチングを行いトレンチ部6を形成する。次ゲート酸化膜7を形成した後、ゲート電極8、ソース電極10、ドレイン電極11を形成する。

【0034】この例では、ドリフト領域にイオン注入により、トレンチ下部電界シールド領域12、ベース領域下部電界シールド領域13並びに電界シールド結合領域14を形成する作製方法を示したが、逆に例えば上記3領域に相当する層をエピ成長で形成し、3領域以外の領域に窒素のイオン注入を行いn型導電領域を作製することも可能である。

【0035】以上のように、本実施の形態における半導体装置において、トレンチ下部電界シールド領域12とベース領域下部電界シールド領域13によりゲート酸化膜7部の電界強度が緩和され酸化膜の絶縁破壊が軽減される原理は実施の形態1と同様である。さらに本実施の形態では、pベース領域とpシールド領域を電氣的に結合する構造を備えているので、電位的に浮遊した領域が生じず、電荷の蓄積の片寄も生じないため、より安定な

スイッチング動作と酸化膜の高い信頼性が得られる。

【0036】また、本実施の形態における製造方法においても、上述の実施の形態1と同様に、トレンチ部6を形成する前の工程で、イオン注入と、活性化アニールを行うことができるので、チャンネルが形成されるトレンチ部6の側壁に生じる注入の損傷、アニールによる表面の荒れを低減することができ、高移動度で信頼性の高いチャンネルを形成することができる効果があり、素子特性を向上できる。

【0037】実施の形態3. 図3は本発明の別の一実施の形態を示すもので、トレンチゲート型のSiC半導体MOS電界効果パワートランジスタ半導体装置の断面図である。1はn型のSiC基板、2はドリフト領域、3はベース領域、4はnコンタクト領域、5はpコンタクト領域、6はトレンチ部、7はゲート酸化膜、8はゲート電極、9はチャンネル部、10はソース電極、11はドレイン電極、12はトレンチ下部電界シールド領域、13はベース領域下部電界シールド領域、14は電界シールド結合領域、15は導通時の抵抗を低減するためにpベース領域の下部に設けた、ドリフト領域2より導電性の高い（すなわち、キャリア濃度の高い）n型の電流拡散層である。ゲート電極8への電圧を印加による、高電圧の遮断、導通の切り替え、及び電界シールド領域の効果による、酸化膜における電界緩和の原理は実施の形態1及び2と同様である。

【0038】次に製造方法について説明する。本実施の形態に示したトレンチゲート型のSiC半導体MOS電界効果パワートランジスタは例えば、次のように作製できる。SiC基板1上に、ドリフト領域2のための低不純物n型層を、次に電流拡散層15のための、ドリフト領域2より導電率の高いn型層を、次にpベース領域3のためのp型層を、次にnコンタクト領域4のための高不純物のn型層を順次成長する。実施の形態2と同様に選択的に、pコンタクト領域5、ベース領域下部電界シールド領域13、トレンチ下部電界シールド領域12並びに電界シールド結合領域14をAlのイオン注入により形成する。また次に例えば別のマスクングによるドナーのイオン注入によりnコンタクト領域4を形成する。次に例えば別のマスクを用い、エッチングを行いトレンチ部6を形成する。次にゲート酸化膜7を形成した後、ゲート電極8、ソース電極10、ドレイン電極11を形成する。この例では、エピ成長により電流拡散層を形成する作製例を示したが、ドナーのイオン注入により電流拡散層を形成する作製例も可能である。

【0039】以上のように、本実施の形態に示した半導体装置は、上述の実施の形態1及び2と同様の効果が得られるとともに、さらに、pベース領域3の下部に、ドリフト領域2より導電性の高いn型の電流拡散層15そなえているので、導通時には、電流経路は、ゲート電圧印加により反転して形成されたチャンネル9近傍からのみ

ではなく、n型の電流拡散層15全体から、n型ドリフト領域2を経て流れるので、その抵抗は、電流拡散層15がないときに比べ低減される効果がある。

【0040】また、本実施の形態における製造方法においても、上述の実施の形態1と同様に、トレンチ部6を形成する前の工程で、イオン注入と、活性化アニールを行うことができるので、チャンネルが形成されるトレンチ部6の側壁に生じる注入の損傷、アニールによる表面の荒れを低減することができ、高移動度で信頼性の高いチャンネルを形成することができる効果があり、素子特性を向上できる。

【0041】実施の形態4. 図4は本発明の別の一実施の形態を示すもので、トレンチゲート型のSiC半導体MOS電界効果パワートランジスタ半導体装置の断面図である。1はn型のSiC基板、2はドリフト領域、3はベース領域、4はnコンタクト領域、5はpコンタクト領域、6はトレンチ部、7はゲート酸化膜、8はゲート電極、9はチャンネル部、10はソース電極、11はドレイン電極、12Aはトレンチ部6の幅より広い幅を持ち、トレンチ部6のない領域まで横に延びた構造を有したトレンチ下部電界シールド領域、13はベース領域下部電界シールド領域、15は電流拡散層である。ゲート電極8への電圧を印加による、高電圧の遮断と導通の切り替え、及び、電界シールド領域12、13の効果による、ゲート酸化膜7における電界緩和、電流拡散層15による抵抗の低減の原理は実施の形態1から3と同様である。

【0042】次に製造方法について説明する。本実施の形態に示したトレンチゲート型のSiC半導体MOS電界効果パワートランジスタは例えば、次のように作製できる。SiC基板1上に、ドリフト領域2のための低不純物n型層を、次に電流拡散層15のためのn型層を、次にpベース領域3のためのp型層を、次にnコンタクト領域4のための高不純物のn型層を順次成長する。実施の形態3と同様に選択的に、pコンタクト領域5、ベース領域下部電界シールド領域13、トレンチ下部電界シールド領域12並びに電界シールド結合領域14をA1のイオン注入により形成する。この時、トレンチ下部電界シールド領域12注入のためのマスクパターンを、トレンチ部6の幅より広くすることにより上部にトレンチ部6のない横の領域まで延びた注入領域を形成できる。また次にドナーのイオン注入によりnコンタクト領域4を形成する。次トレンチ部6を形成し、ゲート酸化膜7を形成した後、ゲート電極8、ソース電極10、ドレイン電極11を形成する。この例では、エピ成長により電流拡散層を形成する作製例を示したが、ドナーのイオン注入により電流拡散層を形成する作製例も可能である。

【0043】以上のように、本実施の形態に示した半導体装置は、上述の実施の形態1～3と同様の効果が得ら

れるとともに、さらに、トレンチ下部シールド領域12の幅が、溝の幅より広く、上部のトレンチ部6のない領域まで延びた構造であり、特にトレンチ下部の角の部分と電界強度の大きい箇所とが、平面位置的にも分離されるので、特にトレンチ下部の角の酸化膜に印加される電界強度の緩和効果が大きく、酸化膜の絶縁破壊が生じない特長がある。

【0044】また、本実施の形態における製造方法においても、上述の実施の形態1と同様に、トレンチ部6を形成する前の工程で、イオン注入と、活性化アニールを行うことができるので、チャンネルが形成されるトレンチ部6の側壁に生じる注入の損傷、アニールによる表面の荒れを低減することができ、高移動度で信頼性の高いチャンネルを形成することができる効果があり、素子特性を向上できる。

【0045】なお、図5は同じく実施の形態4の他の構成を示すもので、トレンチ下部電界シールド領域12の幅が広く、ベース領域下部電界シールド領域13がない例をしめす。図4と同様に作製でき、また、同様な酸化膜の絶縁破壊を抑制する効果がある。

【0046】実施の形態5. つぎに、本発明の別の一実施の形態を示す。本実施の形態に示す半導体装置は、素子構造、作製方法は、上記実施の形態1から4と同様であり、電界シールド効果により、ゲート酸化膜7の絶縁破壊を抑制する効果をもっている。本実施の形態では、チャンネル9は、エッチングにより形成したSiC結晶の1、1、2バー、0面のトレンチ部6の側壁に形成されている。チャンネル移動度の結晶方位依存性より、基板表面に形成されたチャンネルより大きな移動度が得られ、チャンネル抵抗を低減できる。また同時に、電界シールドのためのp領域を備えているので、酸化膜の絶縁破壊が起こりにくい。

【0047】

【発明の効果】この発明は、SiC半導体からなる基板と、基板上に設けられ、低不純物のn型の導電性を有するn型層と、n型層上に設けられ、p型の導電性を有するp型ベース層と、p型ベース層上に設けられ、高不純物のn型の導電性を有するn型コンタクト層と、p型ベース層上の上記n型コンタクト層が設けられていない領域に設けられたp型コンタクト領域と、n型コンタクト層及び上記p型ベース層を貫通してn型層にまで達する深さを有する溝と、溝の底面及び側壁上に設けられたゲート酸化膜と、ゲート酸化膜を介在させて上記溝の側壁上に設けられたゲート電極と、n型コンタクト層及び上記p型コンタクト領域に接触して設けられたソース電極と、基板の下面に設けられたドレイン電極と、ゲート電極に電圧が印加されたときに反転してn型コンタクト層とn型層とを導通させるチャンネル手段と、溝の下側のn型層内に設けられ、高電圧遮断時のn型層からのゲート酸化膜への電界の侵入を遮蔽する溝下部電界シールド手

段とを備えた半導体装置であり、溝の下部に電界シールドのためのp型領域を備えているので、ゲート酸化膜部、特に、電界集中の起こりやすい溝下部の角のゲート酸化膜の電界強度が緩和されるため、ゲート酸化膜の絶縁破壊が生じないので、SiC材料の絶縁特性に対応した、素子耐圧を得ることができる。

【0048】また、溝下部電界シールド手段が、p型の導電性を有するp型領域から構成されているので、電界の侵入を遮蔽する能力が高く、かつ、エッチングにより溝を形成する前の工程で、イオン注入と活性化アニールを行うことにより容易に形成できる。

【0049】また、p型コンタクト領域の範囲において、p型ベース層の下面から略々垂直方向に向かって溝の底面の深さより深い位置に至るまで延びて設けられ、p型ベース層の下方からのゲート酸化膜への電界の侵入を遮蔽するベース層下部電界シールド手段をさらに備えているので、p型ベース層の下方からの電界の侵入を遮蔽できる。さらに、このシールド手段を設けたことにより、電界強度の最強の箇所がこのシールド手段の下部となるため、電界集中が起こりやすい溝の角のゲート酸化膜の部分が電界強度の最強の箇所に接しないで分離されるので、ゲート酸化膜の絶縁破壊をさらに防止することができる。

【0050】また、ベース層下部電界シールド手段が、p型の導電性を有するp型領域から構成されているので、電界の侵入を遮蔽する能力が高く、かつ、イオン注入を行うことにより容易に形成できる。

【0051】また、溝下部電界シールド手段とベース層下部電界シールド手段とを電氣的に結合する電界シールド結合手段をさらに備えているので、電位的な浮遊した領域が生じず、電荷の蓄積の片寄も生じないため、安定なスイッチング動作とゲート酸化膜の高い信頼性が得られる。

【0052】また、p型ベース層とn型層との間に設けられ、n型層より高いn型の導電性を有する電流拡散層をさらに備えているので、導通時には、電流経路は、ゲート電圧印加により反転して形成されたチャネル近傍からのみではなく、n型の電流拡散層全体から、n型層を経て流れるので、その抵抗は、電流拡散層がないときに比べ低減される。

【0053】また、溝下部電界シールド手段が溝の幅より広い幅を有しているので、溝下部の角の部分と電界強度の大きい箇所とが接触せずに平面位置的にも分離されるので、特に溝下部の角のゲート酸化膜に印加される電界強度の緩和効果が大きく、酸化膜の絶縁破壊が生じない。

【0054】また、チャネル手段が、溝の側壁から構成されているので、チャネル手段はアニールによる表面の損傷の影響を受けないので、高移動度で信頼性の高いチャネルを形成することができ、チャネル抵抗を低減でき

る。

【0055】また、チャネル手段が、溝の上記側壁におけるSiC結晶の1、1、2バー、0面に設けられているので、チャネル移動度の結晶方位依存性より、基板表面に形成されたチャネルより大きな移動度が得られ、チャネル抵抗を低減できる。

【0056】また、この発明は、SiC半導体からなる基板上に、低不純物のn型の導電性を有するn型層を形成する工程と、n型層上に、p型の導電性を有するp型ベース層を形成する工程と、p型ベース層上に、高不純物のn型の導電性を有するn型コンタクト層を形成する工程と、p型ベース層上にp型コンタクト領域を形成する工程と、溝を形成する予定領域のn型層内に、高電圧遮断時の上記n型層からのゲート酸化膜への電界の侵入をシールドさせるための溝下部電界シールド手段を形成する工程と、n型コンタクト層及びp型ベース層を貫通してn型層内の溝下部電界シールド手段に達する深さを有する溝を形成する工程と、溝の底面及び側壁上にゲート酸化膜を形成する工程と、ゲート酸化膜を介させて溝の側壁上にゲート電極を形成する工程と、n型コンタクト層及びp型コンタクト領域に接触させてソース電極を形成する工程と、基板の下面にドレイン電極を形成する工程とを備えた半導体装置の製造方法であるので、溝を形成する前の工程で、イオン注入と、活性化アニールを行うことができるので、チャネルが形成される溝の側壁に生じる注入の損傷、アニールによる表面の荒れを低減することができ、高移動度で信頼性の高いチャネルを形成することができ、素子特性を向上できる。

【0057】また、p型コンタクト領域の範囲において、p型ベース層の下面から、略々垂直方向に向かって、溝の底面の深さより深い位置にかけて、p型ベース層の下部からのゲート酸化膜への電界の侵入をシールドさせるためのベース層下部電界シールド手段を形成する工程をさらに備えているので、ベース層下部電界シールド手段により、p型ベース層の下方からの電界の侵入を遮蔽でき、さらに、このシールド手段を設けたことにより、電界強度の最強の箇所がこのシールド手段の下部となるため、電界集中が起こりやすい溝の角のゲート酸化膜の部分が電界強度の最強の箇所に接しないで分離されるので、ゲート酸化膜の絶縁破壊をさらに防止することができる。

【0058】また、溝下部電界シールド手段とベース層下部電界シールド手段とを電氣的に結合する電界シールド結合手段を形成する工程をさらに備えているので、電位的な浮遊した領域が生じず、電荷の蓄積の片寄も生じないため、安定なスイッチング動作とゲート酸化膜の高い信頼性が得られる。

【0059】また、p型ベース層とn型層との間に、n型層より高いn型の導電性を有する電流拡散層を形成する工程をさらに備えているので、導通時には、電流経路

は、ゲート電圧印加により反転して形成されたチャネル近傍からのみではなく、n型の電流拡散層全体から、n型層を経て流れるので、その抵抗は、電流拡散層がないときに比べ低減される。

【0060】また、溝下部電界シールド手段を形成する際に、溝の幅より広い幅を有するように形成するので、溝下部の角の部分と電界強度の大きい箇所とが接触せずに平面位置的にも分離されるので、特に溝下部の角のゲート酸化膜に印加される電界強度の緩和効果が大きく、酸化膜の絶縁破壊が生じない。

【図面の簡単な説明】

【図1】 本発明の実施の形態1によるトレンチゲート型のSiC半導体MOS電界効果パワートランジスタ半導体装置の断面図である。

【図2】 本発明の実施の形態2によるトレンチゲート型のSiC半導体MOS電界効果パワートランジスタ半導体装置の断面図である。

【図3】 本発明の実施の形態3によるトレンチゲート型のSiC半導体MOS電界効果パワートランジスタ半導体装置の断面図である。

【図4】 本発明の実施の形態4によるトレンチゲート型のSiC半導体MOS電界効果パワートランジスタ半導体装置の断面図である。

【図5】 本発明の実施の形態4による他のトレンチゲート型のSiC半導体MOS電界効果パワートランジスタ半導体装置の断面図である。

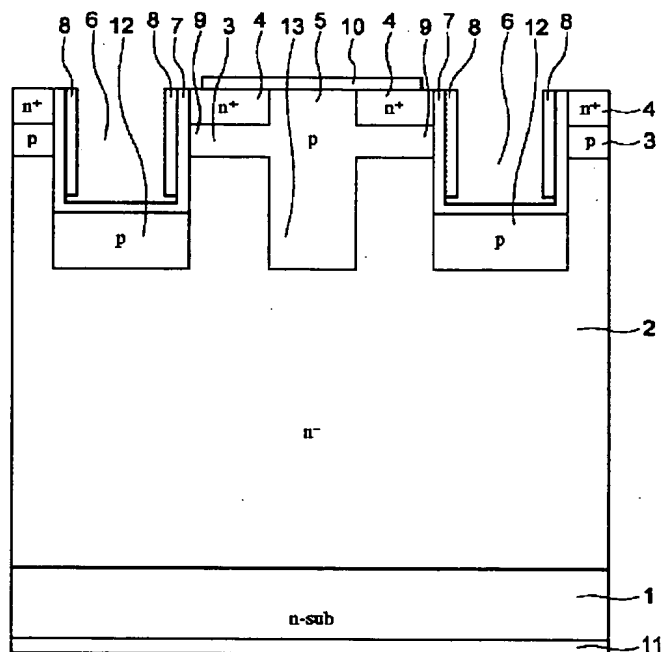
【図6】 従来のトレンチゲート型のSiC半導体MOS電界効果パワートランジスタ半導体装置の断面図である。

【図7】 従来のウェハー表面にMOSチャネルを持つ構造のSiC半導体MOS電界効果パワートランジスタ半導体装置の断面図である。

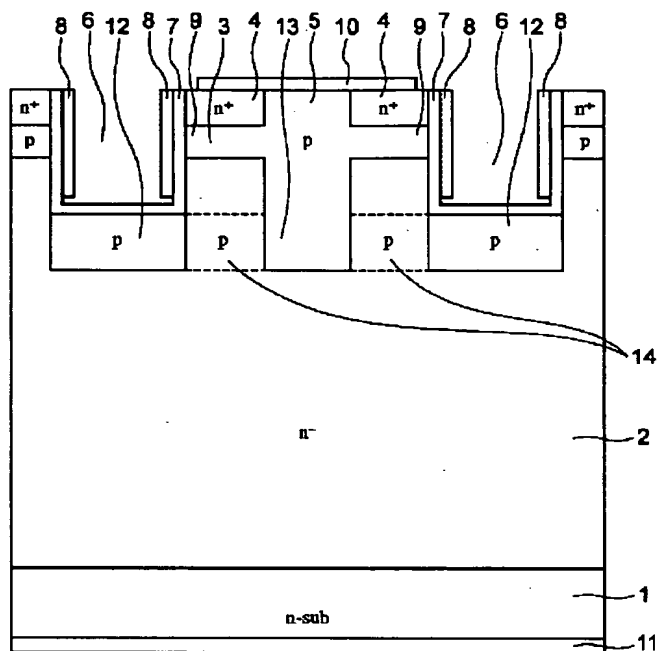
【符号の説明】

1 n型のSiC基板、2 ドリフト領域、3 ベース領域、4 nコンタクト領域、5 pコンタクト領域、6 トレンチ部、7 ゲート酸化膜、8 ゲート電極、9 チャネル部、10 ソース電極、11 ドレイン電極、12 トレンチ下部電界シールド領域、13 ベース領域下部電界シールド領域、14 電界シールド結合領域、15 電流拡散層。

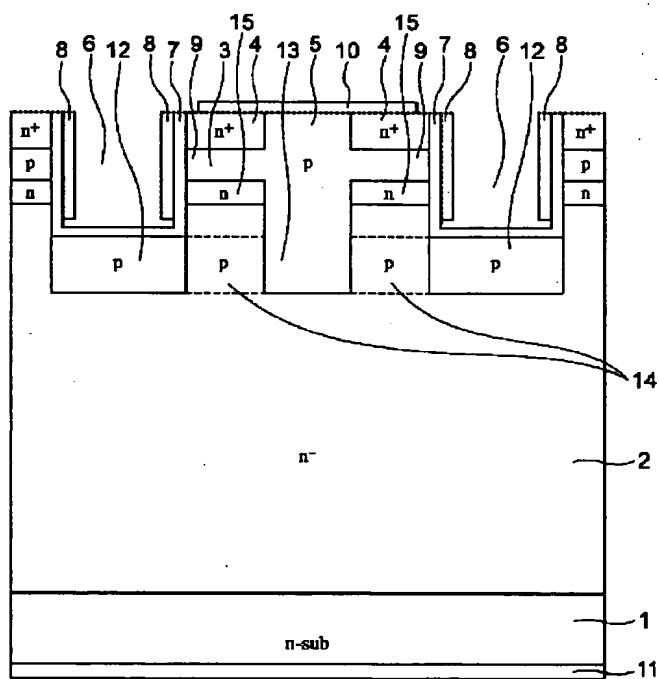
【図1】



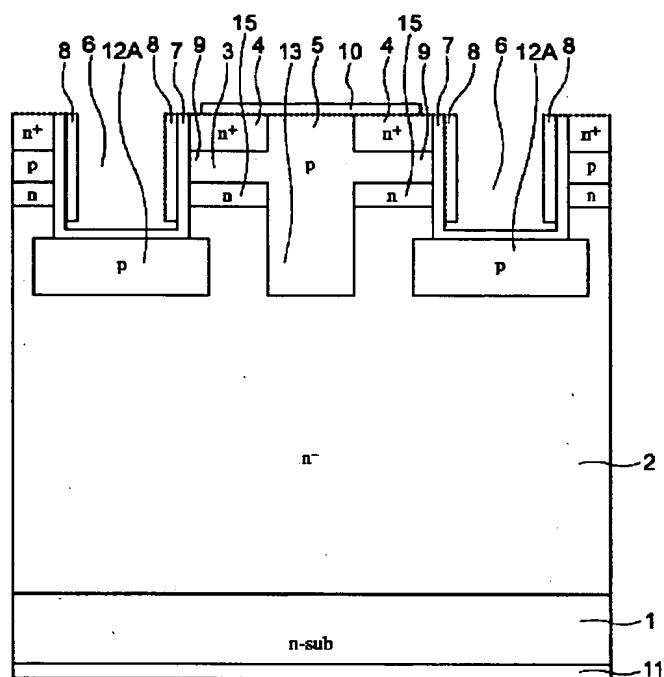
【図2】



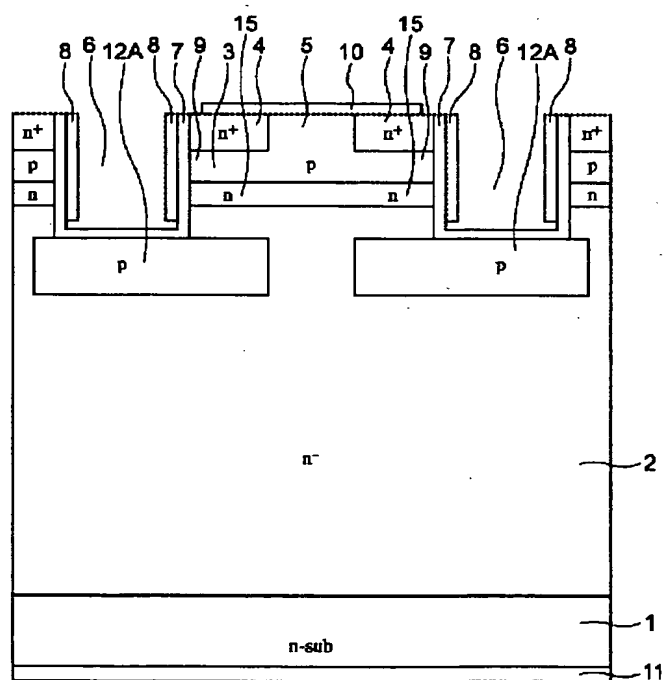
【図3】



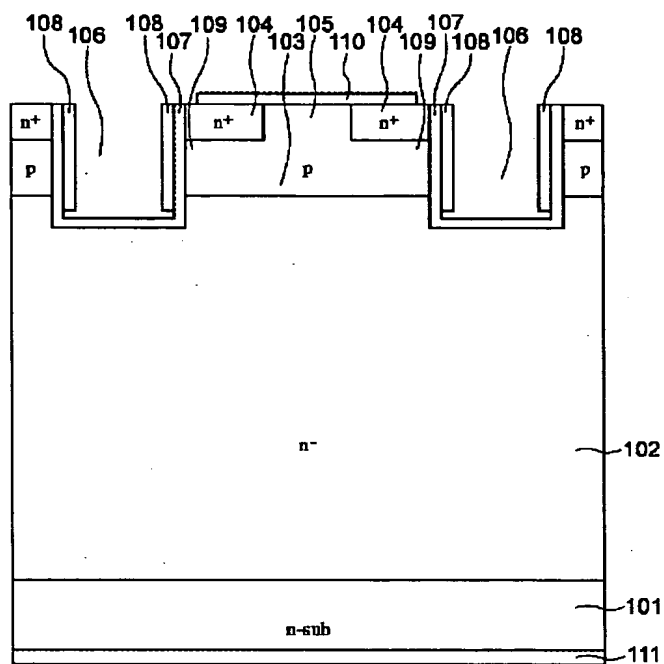
【図 4】



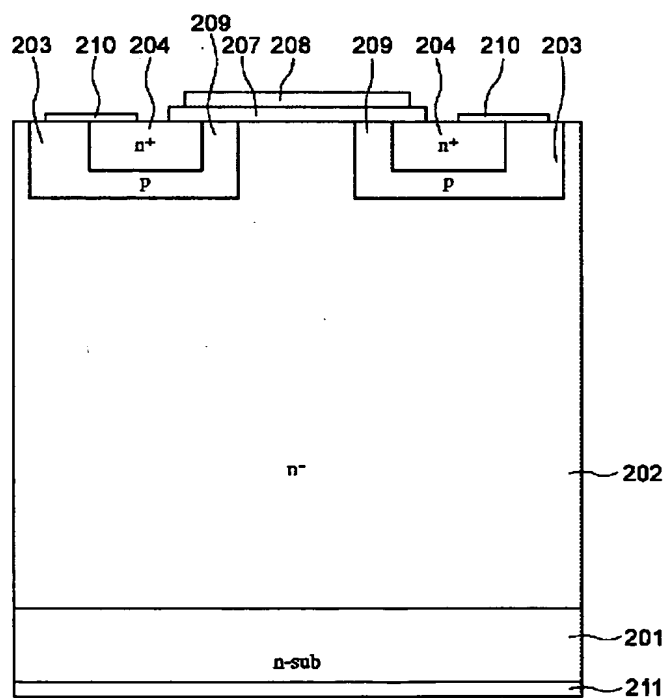
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 樽井 陽一郎
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 大塚 健一
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内